

(19) Japanese Patent Office (JP)

(12) PATENT APPLICATION LAID-OPEN PUBLICATION

(11) PUBLICATION NO. S53-63943

(43) Publication Date : June 7, 1978

(21) Application Serial No. S51-138473

(22) Filing Date : November 19, 1976

(71) Applicant : Kodan Electronics Co., Ltd.

(72) Inventor : ASA (阿佐), SUMIYASU (住安), TSUCHIYA (土屋)

(54) Title of the Invention : METHOD FOR SETTING COEFFICIENT IN PSEUDORANDOM NUMBER GENERATOR

In a coefficient setting unit (13), outputs signals (j_1) to (j_5) are supplied from a memory element (P) to gates (i_1) to (i_5) as coefficient. The gates (i_1) to (i_5) determine whether or not outputs (h_1) to (h_5) from shift registers (g_1) to (g_5) are supplied to feedback circuits (m_1) to (m_4).

The feedback circuits (m_1) to (m_4) are XOR circuits. An output from the feedback circuit (m_1) is input to the shift register (g_1) via gates (f_2) and (f_3) as feedback input signal (14).

In this state, when a trigger input signal (F) is input to an input terminal (9), the contents of shift registers (g_1) to (g_5) are shifted in series. At the same time, the feedback input signal (14) is input to the shift register (g_1) and a pseudorandom number output signal is output to an output terminal (12).

When an input terminal (16) inputs a writing signal (J) to a register (R) while data I for indicating a number of coefficient is supplied to an input terminal (15), the data I is stored in the register (R). Then, output signals (n_1) to (n_8) of the register (R) are input to the memory element (P) which stores a plurality of coefficients, as coefficient number indicating signal. This indicates one coefficient from among the plurality of coefficients, to set the coefficient (j_1) to (j_5).

公開特許公報

昭53—63943

⑤Int. Cl.²
G 06 F 15/36

識別記号

⑥日本分類
97(7) E 391庁内整理番号
6913—56

④公開 昭和53年(1978)6月7日

発明の数 1
審査請求 未請求

(全 3 頁)

④擬似乱数発生回路の係数設定方式

調布市紫崎1—12—3 山田荘

②特 願 昭51—138473

⑦発 明 者 土屋裕

②出 願 昭51(1976)11月19日

東京都中野区上高田5—3—6

⑦発 明 者 阿佐雅恭

東宝荘

上福岡市上福岡1—10—15

⑦出 願 人 株式会社光電製作所

同 住安隼夫

東京都品川区上大崎2丁目10番
45号

明 細 書

1. 発明の名称

擬似乱数発生回路の係数設定方式

2. 特許請求の範囲

シフトレジスタを用いて擬似乱数列を発生させる際に、発生乱数列を決定する係数(乱数の取出口を決定する)値を設定する方式として、発生回路の外部に係数値を記憶させた読出し専用の記憶素子を設け、記憶素子を検索することにより、係数を設定することを特徴としたシフトレジスタによる擬似乱数発生回路の係数設定方式。

3. 発明の詳細な説明

この発明は二元系列の擬似雑音系列をシフトレジスタにより発生する回路に、原始多項式の係数値を与える方式に関するものであり、複数组の係数値をあらかじめ記憶しておき、各組に異つた番号を付与しておく。

係数値を選択するにはこの番号で係数値を選択できるので、特に通信路等を介して希望の係数値を自動的に設定するのに便利である。

以下、図を用いて詳細に説明する。

シフトレジスタの段数については、通常何(n)段でもよいがここでは簡単のため、5段に仮定した。

またシフトレジスタの初期値の設定方法は、各段のレジスタに対して、直列・並列のどちらでも設定できるが、ここでは直列に例をとつた。

第1図は従来からある一般的な係数値の与え方とシフトレジスタによる擬似乱数発生回路の例で1は初期値信号Aの入力端子で、トリガ信号B・入力切替信号Cを各々入力端子2・3に同時に入力し、ゲートa1・a3を介してシフトレジスタ4のb1～b5の各段に希望の初期値を順次設定する。

b1～b5の総てに設定し終ると、入力端子3に入力していた入力切替信号Cを切替えて、ゲートa2・a3を能動とする。

5は出力端子で、初期値の設定が終了した時点では、第1番目の擬似乱数出力信号Dが出力されている。

6は係数設定部で、スイッチd 1～d 5等により、シフトレジスタb 1～b 5の各段の出力c 1～c 5を帰還回路e 1～e 4に加えるか否かの切替をしている。

帰還回路を形成しているe 1～e 4は排他的論理和回路であり、その最終出力は帰還入力信号7として、ゲートa 2・a 3を介して、シフトレジスタ4に再び入力されている。

この状態で再度、入力端子2にトリガ信号Bを入力し始めるとトリガに対応して、シフトレジスタ4の内容は順次シフトされ、同時に帰還入力信号7をシフトレジスタ4の初段b 1に読み込み出力端子5には、第2番目の擬似乱数出力信号が出力される。

同様に、出力端子5にはトリガする毎に順次、第3番目～第n番目の擬似乱数出力信号が得られる。

以上、シフトレジスタによる擬似乱数発生回路の一般的な構成例、動作例を述べたが、その係数設定方式は固定配線、あるいは、スイッチ・ゲー

(3)

点では、第1番目の擬似乱数出力信号Hが出力されている。

13は係数設定部で、読出し専用の記憶素子Pの出力信号j 1～j 5をゲートi 1～i 5に係数として与え、これらのゲートi 1～i 5はシフトレジスタg 1～g 5の出力h 1～h 5を帰還回路m 1～m 4に加えるか否かの制御をしている。

前にも述べたように、帰還回路m 1～m 4は排他的論理和回路であり、その最終出力は帰還入力信号14として、ゲートf 2・f 3を介して、シフトレジスタ11に再び入力されている。

この状態で再度、入力端子9にトリガ入力信号Fを入力し始めるとトリガに対応して、シフトレジスタ11の内容は順次シフトされ、同時に帰還入力信号14をシフトレジスタ11の初段g 1に読み込み、出力端子12には第2番目の擬似乱数出力信号が出力される。

以下同様に、出力端子12には、トリガする毎に順次第3番目～第n番目の擬似乱数出力信号が得られる。

(5)

ト回路等の各種切替器による手動設定方式であることが多く、回路が複数個存在し、双方が遠く隔てられて設置されていて、双方を同時に同じ状態に設定したい場合などは、設定所要時間、人手が必要などの点で不便である。

これに対して、本発明は、係数設定部の構成を係数を記憶した読出し専用の記憶素子と、係数の番号を指定するデータを記憶するレジスタ及び、切替ゲート等として、機能を拡張したものであり、その一実施例を第2図に示し、以下詳細に説明する。

第2図において、8は初期値信号Eの入力端子で、トリガ信号F、入力切替信号Gを各々入力端子9・10に同時に入力しゲートf 1・f 3を介して、シフトレジスタ11のg 1～g 5の各段に希望の初期値を順次設定する。

g 1～g 5の総てに設定し終ると、入力端子10に入力していた入力切替信号Gを切替えて、ゲートf 2・f 3を能動とする。

12は出力端子で、初期値の設定が終了した時

(4)

15は入力端子で、係数の番号を指定するデータIを加えつつ入力端子16に書き込み信号Jを加えると、レジスタRには係数の番号を指定するデータIが入力され記憶される。

そして、レジスタRの出力信号n 1～n 8は、係数を記憶してある読出し専用の記憶素子Pの係数番号指定信号として、記憶素子Pに入力され、あらかじめ記憶してある係数の番号を指定する、従って係数j 1～j 5を設定することができる。

なお、レジスタRの段数は8段としたが、これは記憶素子の容量の大きさにより変化する。

以上詳述したごとく、本発明の係数設定方式によれば、シフトレジスタによる擬似乱数発生回路の発生乱数列を決定する係数値を、簡単に変更できると共に、特に通信路等を介して、希望する係数値を自動的に設定することができる。

4. 図面の簡単な説明

第1図は従来方式の一般的な構成例を示す。

第2図は本発明により一実施例の構成を示す。

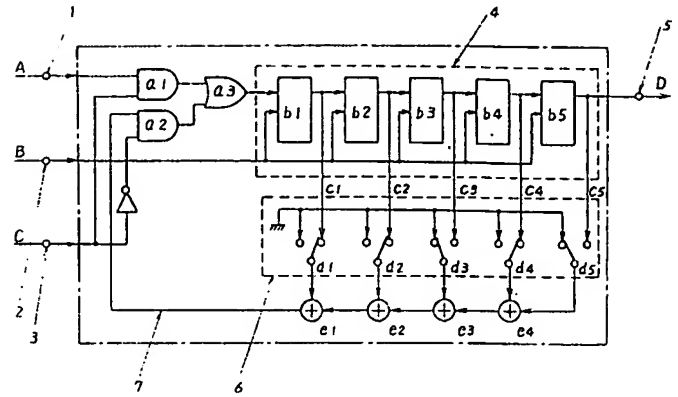
図面中の番号及び信号リスト。

(6)

特許出願人

株式会社 光電製作所
代表取締役 田中 敏

第 1 圖



第 2 圖

